

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232129
(43)Date of publication of application : 22. 08. 2000

(51)Int. Cl.

H01L 21/60

(21)Application number : 11-032379
(22)Date of filing : 10. 02. 1999

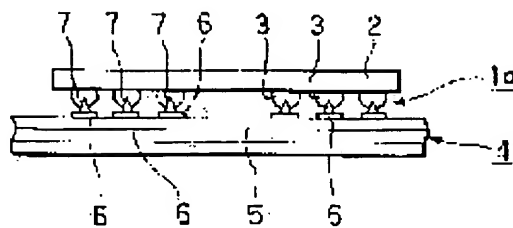
(71)Applicant : SONY CORP
(72)Inventor : OTSUKA YASUSHI

(54) SEMICONDUCTOR MOUNTING DEVICE, ITS MANUFACTURE AND ELECTRONIC UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a thermal stress from being developed owing to the difference of the coefficient of thermal expansion between a semiconductor device or a semiconductor package and a mounting substrate and the degradation of reliability in a temperature cycle, eliminate a risk that a steam explosion occurs in the package in a manufacturing process, and also facilitate the repairing work in the semiconductor mounting device where the electrodes (solder bumps) of the semiconductor device or the semiconductor package are connected with the corresponding parts of the wiring films of the mounting substrate.

SOLUTION: Contact pins 7 are formed in the portions where the electrode (solder bumps) 3 of a semiconductor device or a semiconductor package 1 are connected to the electrodes 3 of the wiring films 6 of a mounting substrate 4. The pins 7 are stuck to the electrodes (solder bumps) of the semiconductor device or the semiconductor package 1, and the electrodes 3 of the semiconductor device or the semiconductor package 1 are connected to the wiring films 6 of the mounting substrate 4.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

【特許請求の範囲】

【請求項1】 半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置において、上記半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分とのいずれか一方にピン状体を形成し、

上記のピン状体を他方の対応するものに突き刺して上記半導体素子又は半導体パッケージの電極と上記実装基板の配線膜とを接続してなることを特徴とする半導体実装装置。

【請求項2】 半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置の製造方法において、

半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分とのいずれか一方にピン状体を形成し、

上記各ピン状体を他方の対応するものに突き刺して上記半導体素子又は半導体パッケージの電極と上記実装基板の配線膜とを接続することを特徴とする半導体実装装置の製造方法。

【請求項3】 半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置において、

上記半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分との間に異方性導電材を介在させ、

上記半導体素子又は半導体パッケージを上記実装基板に対して加圧して該半導体素子又は半導体パッケージの電極と実装基板の配線膜との間の電氣的導通をとってなることを特徴とする半導体実装装置。

【請求項4】 加圧が、半導体素子又は半導体パッケージを位置決め手段にて位置決めする放熱板をその半導体素子又は半導体パッケージを介して実装基板に対し、位置決めし加圧した状態で固定することにより為されていることを特徴とする請求項3記載の半導体実装装置。

【請求項5】 加圧が、半導体素子又は半導体パッケージと実装基板を、互いに加圧した状態で一つの収納手段に収納することにより為されたことを特徴とする請求項3記載の半導体実装装置。

【請求項6】 半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置の製造方法において、

上記実装基板上に異方性導電材を介して上記半導体素子又は半導体パッケージをその各電極が実装基板のそれと対応する部分上に位置するように配置し、

その後、半導体素子又は半導体パッケージを実装基板に対して加圧して該半導体素子又は半導体パッケージの電

極と実装基板の配線膜との間の電氣的導通をとることを特徴とする半導体実装装置の製造方法。

【請求項7】 加圧を、半導体素子又は半導体パッケージを位置決め手段にて位置決めする放熱板をその半導体素子又は半導体パッケージを介して実装基板に対し、位置決めし加圧した状態で固定することにより為すことを特徴とする請求項6記載の半導体実装装置の製造方法。

【請求項8】 加圧を、半導体素子又は半導体パッケージと実装基板を、それらを互いに加圧した状態で一つの収納手段にて収納することにより為すことを特徴とする請求項6記載の半導体実装装置の製造方法。

【請求項9】 請求項1、3、4又は5記載の半導体実装装置を少なくとも用いてなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置と、その製造方法と、半導体実装装置を用いた電子機器に関する。

【0002】

【従来の技術】半導体素子又はそれを収納した半導体パッケージは、一般にプリント配線基板等の実装基板に実装される。その実装に際して重要なことの一つは、半導体素子又は半導体パッケージの電極と、実装基板の配線膜との接続（接合）であるが、その接続は、従来、半田ペースト材を用いて行われた。具体的には、半導体素子又は半導体パッケージの電極を半田バンプにより形成し、該半導体素子又は半導体パッケージをその各電極が実装基板のそれと対応する配線膜上に位置するように実装基板上に配置し、例えば240℃程度の温度で加熱することによりその半田ペースト材からなる半田バンプを溶融させ、その後、その温度を常温に戻す過程で溶融半田を固化させることにより半導体素子又は半導体パッケージの電極と、実装基板の配線膜との接続（接合）が行われた。

【0003】

【発明が解決しようとする課題】ところで、上述した従来の技術によれば、半導体素子又は半導体パッケージの電極と、実装基板の配線膜との接続時に、半田ペースト材を溶融するために例えば240℃程度まで加熱する必要があるため、加熱溶融状態から常温に温度が戻ったとき、実装基板と半導体素子あるいは半導体パッケージとの間に、その熱膨張係数の違いによる熱応力が発生し、温度サイクルによりクラック等が発生し易くなり、信頼性が低くなるという問題があった。

【0004】また、半導体パッケージを実装基板に取り付ける場合においては、上述した接続のために240℃程度という高い温度に加熱したとき、半導体パッケージ

中に含まれる水分が熱により激しく膨張して水蒸気爆発を起こし、パッケージに亀裂が生じるという不良が発生することがあるという問題もあった。

【0005】また、上述した従来の技術によれば、グリッドアレイパッケージと称されるような接続端子が格子状に配設されたパッケージの場合、リペアが非常に困難であった。というのは、240℃というような高い温度で加熱して半田電極を溶かして半導体素子あるいは半導体パッケージと、実装基板とを分離し、不良箇所を修正し、その後、再度、高い温度化で再度半導体素子あるいは半導体パッケージと、実装基板とを接続すると言うことが必要となり、半導体実装用の設備を用いなければリペアができないからである。

【0006】本発明はこのような問題点を解決すべく為されたものであり、半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置が、半導体素子又は半導体パッケージと、実装基板との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じることを防止し、製造過程でパッケージが水蒸気爆発が生じるおそれをなくし、更には半導体実装装置のリペアを容易にすることを目的とする。

【0007】

【課題を解決するための手段】本発明の第1のものは、半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分とのいずれか一方をピン状に形成し、該ピン状部分を他方に突き刺して上記半導体素子又は半導体パッケージの電極と上記実装基板の配線膜とを接続し、あるいはしてなるものである。

【0008】従って、本発明の第1のものによれば、互いに接続される電極と配線膜とのいずれか一方をピン状に形成し、他方に突き刺すことによってその電極と配線膜との接続をするので、接続に半田を加熱させて溶融させることが必要ではなくなる。依って、半導体素子又は半導体パッケージと、実装基板との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じることを防止し、製造過程でパッケージが水蒸気爆発が生じるおそれをなくし、半導体実装装置のリペアを容易にすることができる。

【0009】本発明の第2のものは、半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分との間に異方性導電材を介在させ、上記半導体素子又は半導体パッケージを上記実装基板に対して加圧して該半導体素子又は半導体パッケージの電極と実装基板の配線膜との間の電気的導通をとり、あるいはとってなる。

【0010】従って、本発明の第2のものによれば、半導体素子又は半導体パッケージを実装基板に対して加圧して該半導体素子又は半導体パッケージの電極と実装基板の配線膜との間の電気的導通をとるので、その間の接

続に半田を加熱させて溶融させることが必要ではなくなる。依って、半導体素子又は半導体パッケージと、実装基板との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じることを防止し、製造過程でパッケージが水蒸気爆発が生じるおそれをなくし、半導体実装装置のリペアを容易にすることができる。

【0011】

【発明の実施の形態】本発明の第1のものは、基本的には、半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置において、上記半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分とのいずれか一方をピン状に形成し、上記のピン状部分を他方に突き刺して上記半導体素子又は半導体パッケージの電極と上記実装基板の配線膜とを接続してなる。実装基板に接続するものとしては半導体素子（半導体チップ）もあれば、半導体素子を収納したパッケージ（半導体パッケージ）もある。これは次に述べる本発明の第2のものにおいても同様である。上記半導体素子又は半導体素子の電極は例えば半田によりバンプ（突起）状あるいはボール状に形成すると良い。一方、実装基板は配線膜の電極と接続すべき部分に例えば銀ペースト等の導電材により円錐状のコンタクトピンを成形しておいたものを用いる。

【0012】本発明の第2のものは、基本的には、半導体素子又は半導体素子を収納した半導体パッケージの電極と、実装基板の配線膜の対応するもの同士を接続してなる半導体実装装置において、上記半導体素子又は半導体パッケージの電極と、実装基板の配線膜の該電極と接続される部分との間に異方性導電材を介在させ、上記半導体素子又は半導体パッケージを上記実装基板に対して加圧して該半導体素子又は半導体パッケージの電極と実装基板の配線膜との間の電気的導通をとってなる。

【0013】本発明電子機器は、本発明の第1のものに係る半導体実装装置あるいは第2のものに係る半導体実装装置を用いてなり、例えば携帯電話機、家庭電化製品等種々のものがあり得るものであり、その種類は限定されない。

【0014】

【実施例】以下、本発明を図示実施例に従って詳細に説明する。図1は本発明半導体実装装置の一つの実施例1aを示す断面図である。図面において、2は半導体素子を収納した半導体パッケージ、3、3、・・・は該半導体パッケージ2の表面に形成された半田バンプである。

【0015】4は実装基板で、基板5上に配線膜を形成してなり、6、6、・・・は各配線膜（ランド）のランド、7、7、・・・は該各配線膜6、6、・・・の上記半導体パッケージの半田バンプ3、3、・・・と対応する部分に形成されたコンタクトピンで、銀ペースト等の

導電材にて円錐状に形成してなる。

【0016】そして、上記半導体パッケージ2の各半田バンプ3、3、・・・と、実装基板4のコンタクトピン6、6、・・・との対応するもの同士が整合するようにパッケージ2を実装基板4に位置合わせし、その状態で半導体パッケージ2を実装基板4に加圧することによりコンタクトピン6、6、・・・を半田バンプ3、3、・・・に突き刺した状態にして半導体パッケージ2の各半田バンプ3、3、・・・と、実装基板4のコンタクトピン6、6、・・・との対応するもの同士の接続をしてなる。尚、上述した加圧状態を後述する図5あるいは図6に示す加圧手段により加圧状態を維持するようにしても良い。

【0017】図2(A)、(B)は図1の半導体実装装置の製造方法を工程順に示すもので、(A)は半導体パッケージ2を実装基板4に対して、各半田バンプ3、3、・・・とそれに対応するコンタクトピン7、7、・・・との対応するもの同士が整合するように臨ませた状態を示し、(B)はその状態で半導体パッケージ2を実装基板4に加圧することによりコンタクトピン7、7、・・・を半田バンプ3、3、・・・に突き刺した状態を示している。

【0018】本半導体実装装置、あるいはその製造方法によれば、各配線膜6、6、・・・のコンタクトピン7、7、・・・を対応する半田バンプ3に突き刺すことによって半導体パッケージ2側の電極と実装基板側の配線膜6、6、・・・との電気的接続をするので、接続に半田を加熱させて溶融させることが必要ではない。

【0019】依って、半導体パッケージ2と、実装基板4との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じるという問題の生じる余地がなくなり、また、製造過程で半導体パッケージ2に水蒸気爆発が生じるおそれもなくなる。そして、半導体実装装置のリペアは、半導体パッケージ2を実装基板4から少し強い力で外し、不良箇所を修正し、その後、再度半導体パッケージ2の各半田バンプ3、3、・・・に実装基板4の配線膜6、6、・・・のコンタクトピン7、7、・・・を突き刺すようにすることにより簡単に為し得る。従って、簡単にリペアができる。

【0020】図3は本発明半導体実装装置の第2の実施例1bを示す断面図である。図面において、2は半導体素子を収納した半導体パッケージ、3、3、・・・は該半導体パッケージ2の表面に形成された半田バンプである。

【0021】4a実装基板で、基板5上に配線膜を形成してなり、6、6、・・・は各配線膜(ランド)のランドである。該実装基板4aは通常の実装基板と同様のものでよい。その点で、コンタクトピン7、7、・・・を有する第1の実施例の実装基板4とは異なる。

【0022】8は半導体パッケージ2の半田バンプ3、

3、・・・が形成された面と、実装基板4bの配線膜6、6、・・・が形成された面との間に介在せしめられた異方性導電材であり、厚み方向に加圧されると、その加圧された部分が厚さ方向に導電性を帯びる。

【0023】本半導体実装装置1bは、半導体パッケージ2と実装基板4bとを、半田バンプ3、3、・・・と配線膜6、6、・・・との対応するもの同士が整合するように位置合わせした状態で、上記異方性導電材8を介して加圧してなるものである。

【0024】図4(A)、(B)は図3の半導体実装装置1bの製造方法を工程順に示すもので、(A)は半導体パッケージ2を実装基板4bに対して、各半田バンプ3、3、・・・と、それに対応するコンタクトピン7、7、・・・との対応するもの同士が整合するように臨ませ、その間に異方性導電材8を存在させた状態を示し、(B)はその状態で半導体パッケージ2を実装基板4bに加圧することにより各半田バンプ3、3、・・・と配線膜6、6、・・・の間にて異方性導電材8が局部的に加圧されて厚み方向における導電性を帯びるに至った状態を示している。

【0025】本半導体実装装置、あるいはその製造方法によれば、各配線膜6、6、・・・とそれに対応する半田バンプ3、3、・・・との対応するもの同士はその間に介在する異方性導電材8が局部的にをその半田バンプ3、3、・・・に突き刺すことによって半導体パッケージ2側の電極と実装基板側の配線膜6、6、・・・との接続をするので、接続に半田を加熱させて溶融させることが必要ではない。

【0026】依って、半導体パッケージ2と、実装基板4との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じるという問題の生じる余地がなくなり、また、製造過程で半導体パッケージ2に水蒸気爆発が生じるおそれもなくなる。そして、半導体実装装置のリペアは、異方性導電材8を介して加圧された半導体パッケージ2と実装基板4からその加圧力を取り去って分離し、不良箇所を修正し、その後、再度半導体パッケージ2と実装基板4を異方性導電材8を介して加圧した元の状態にすることにより為し得る。従って、簡単にリペアができる。

【0027】図5、図6は加圧手段が異なる半導体実装装置の各別の具体例であり、図5に示すものは加圧に放熱板を用いたものであり、図6に示すものは加圧に筐体カバーを用いたものであり、これらの加圧手段は図1、図2に示す実施例にも、図3、図4に示す実施例にも適用できる。但し、図1、図2に示す実施例ではコンタクトピンで半田バンプを突き刺す状態に強い加圧が不可欠であるが、その強い加圧力での加圧状態を維持することは必ずしも必要ではなく、その間に接触状態が保たればよいと言える。一方、図3、図4に示す実施例では加圧状態を維持することが導電性確保に不可欠であり、加

圧状態の維持の重要性は実施例により異なると言える。

【0028】先ず、図5に示す加圧手段を説明する。9は放熱板で、半導体パッケージ2、2、・・・を位置決めする位置決めガイド10、10、・・・を有し、更にねじを通す皿孔11、11、・・・を有する。そして、ねじ12、12、・・・をその皿孔11、11、・・・を通し、実装基板4aに形成されたねじ孔に螺合させることにより半導体パッケージ1、1、・・・を実装基板4a側に加圧する状態を保つものである。

【0029】次に、図6に示す加圧手段を説明する。13は筐体カバーで、係合片14を有し、該筐体カバー13により半導体パッケージ2、2、・・・を実装基板4a側に押圧し、上記係合片14を実装基板4aの裏面周縁部に係合させることにより導電状態の形成に必要な加圧力により加圧状態を保つことができるようになっている。

【0030】図7は本発明に係る半導体パッケージないし半導体素子を有した例えば携帯電話機等の電子機器の一例Aを示す一部切り欠き斜視図である。Bは実装基板（マザーボード）、C、C、・・・は本発明に係る半導体パッケージないし半導体素子である。このような電子機器によれば、本発明半導体実装装置あるいは半導体実装方法の持つ上述した効果を充分に享受することができる。

【0031】

【発明の効果】請求項1、2の半導体実装装置ないしその製造方法によれば、互いに接続される電極と配線膜とのいずれか一方をピン状に形成し、他方に突き刺すことによってその電極と配線膜との接続をするので、接続に半田を加熱させて溶融させることが必要ではなくなる。

【0032】依って、半導体素子又は半導体パッケージと、実装基板との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じることを防止し、製造過程でパッケージが水蒸気爆発が生じるおそれをなくし、半導体実装装置のリペアを容易にすることができる。

【0033】請求項3、6の半導体実装装置ないしその製造方法によれば、半導体素子又は半導体パッケージを実装基板に対して加圧して該半導体素子又は半導体パッケージの電極と実装基板の配線膜との間の電気的導通をとるので、その間の接続に半田を加熱させて溶融させることが必要ではなくなる。

【0034】依って、半導体素子又は半導体パッケージと、実装基板との間に熱膨張係数の違いによる熱応力が生じて温度サイクルによる信頼性の低下が生じることを

防止し、製造過程でパッケージが水蒸気爆発が生じるおそれをなくし、半導体実装装置のリペアを容易にすることができる。

【0035】請求項4、7によれば、加圧が、半導体素子又は半導体パッケージを位置決め手段にて位置決めする放熱板をその半導体素子又は半導体パッケージを介して実装基板に対し、位置決めし加圧した状態で固定することにより為されているので、放熱板を取り付けることにより自ずと必要な加圧もできる。

【0036】請求項5、8によれば、加圧が、半導体素子又は半導体パッケージと実装基板を、それらを互いに加圧した状態で一つの収納手段にて収納することにより為されているので、収納手段に半導体素子あるいは半導体パッケージと、実装基板を収納することにより自ずと必要な加圧もできる。

【0037】請求項9の電子機器によれば、請求項1、3、4又は5記載の半導体実装装置を少なくとも用いになるので、電子機器が請求項1、3、4又は5記載の半導体実装装置の持つ効果を享受することができる。

【0038】

【図面の簡単な説明】

【図1】本発明半導体実装装置の第1の実施例を示す断面図である。

【図2】(A)、(B)は図1に示す実施例を工程順に示す断面図である。

【図3】本発明半導体実装装置の第2の実施例を示す断面図である。

【図4】(A)、(B)は図3に示す実施例を工程順に示す断面図である。

【図5】半導体素子あるいは半導体パッケージを実装基板側に加圧する加圧手段の一例を示す断面図である。

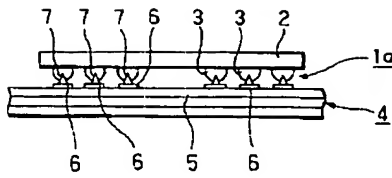
【図6】半導体素子あるいは半導体パッケージを実装基板側に加圧する加圧手段の別の例を示す断面図である。

【図7】本発明に係る半導体実装装置を用いた電子機器の一例を示す一部切り欠き斜視図である。

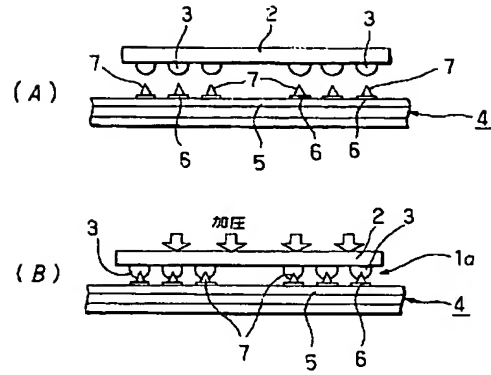
【符号の説明】

1、1a、1b、・・・半導体実装装置、2・・・半導体素子又は半導体パッケージ、3・・・電極（半田バンプ）、4、4a・・・実装基板、6・・・配線膜、7・・・ピン状体（コンタクトピン）、9・・・放熱板、10・・・位置決め手段、13・・・収納手段（筐体）、A・・・筐体、B・・・実装基板（マザーボード）、C・・・本発明に係る半導体素子あるいは半導体パッケージ。

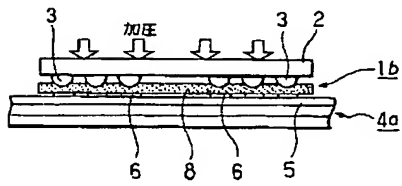
【図1】



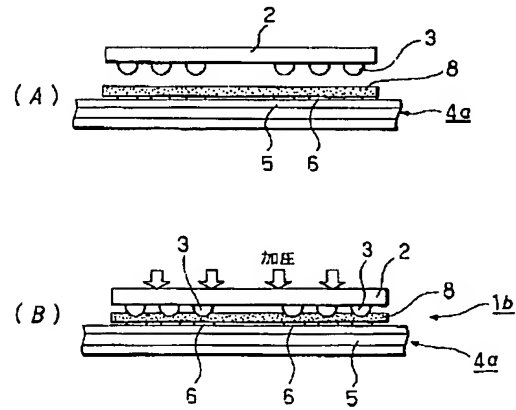
【図2】



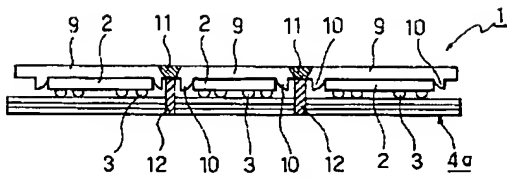
【図3】



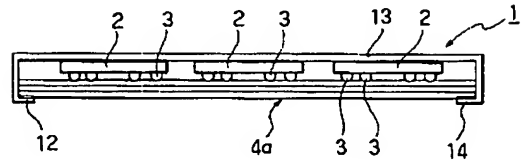
【図4】



【図5】



【図6】



【図7】

